

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9796

(P2002-9796A)

(43) 公開日 平成14年1月11日(2002.1.11)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	ターミナル(参考)	
H 0 4 L 12/28		G 0 6 F 13/38	3 5 0	5 B 0 7 7
G 0 6 F 13/38	3 5 0	H 0 4 L 11/00	3 1 0 D	5 K 0 3 0
H 0 4 L 12/56		11/20	1 0 2 A	5 K 0 3 3
29/08		13/00	3 0 7 C	5 K 0 3 4

審査請求 未請求 請求項の数 6 O L (全 18 頁)

(21) 出願番号 特願2000-191469(P2000-191469)

(22) 出願日 平成12年6月26日(2000.6.26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 桃永 慎哉

東京都品川区北品川6丁目7番35号ソニー株式会社内

(72) 発明者 丹羽 義勝

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74) 代理人 100082740

弁理士 田辺 恵基

最終頁に続く

(54) 【発明の名称】 データ転送システム及びデータ転送管理装置並びにデータ転送方法

(57) 【要約】

【課題】本発明は、データ転送システムに関し、転送に用いる帯域を一段と有効に活用することを提案する。

【解決手段】データの転送速度に応じて当該データを返信する際の遅延時間が異なる機器を有するデータ転送システムにおいて、所定のデータを当該データ転送システム内の最も低い転送速度に合わせて転送することにより、転送に用いる帯域を一段と有効に活用することができる。

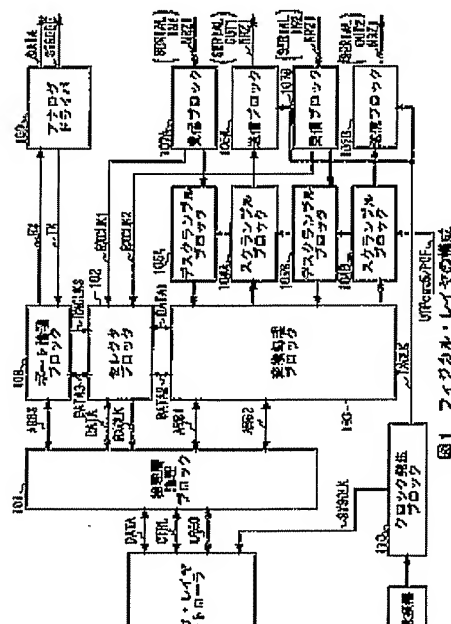


図1

フィジカル・レイヤの構成

(2)

特開2012-9796

1

2

【特許請求の範囲】

【請求項1】データの転送速度に応じて当該データを返信する際の遅延時間が異なる機器を複数有すると共に当該各機器間のデータ転送を管理する管理装置を有するデータ転送システムにおいて、

上記管理装置は、

上記各機器における転送速度をそれぞれ調べ、当該各転送速度のうち最も低い転送速度を最低転送速度として決定する転送速度決定手段と、

上記各機器のうち端に位置する機器に対して上記最低転送速度で所定のデータをそれぞれ送信し、上記管理装置と上記端に位置する機器間の伝搬時間をそれぞれ測定する伝搬時間測定手段と、

上記測定した上記各伝搬時間を基に上記各機器のうち最も離れた機器間で上記データが往復する時間を示す最大往復時間を算出する往復時間算出手段と、

上記最大往復時間を基に上記各機器がデータを転送する際に必要となる待ち時間を算出するための基準値を算出する基準値算出手段とを具えることを特徴とするデータ転送システム。

【請求項2】上記各機器はIEEE1394ハイパフォーマンスシリアルバスによって接続されたことを特徴とする請求項1に記載のデータ転送システム。

【請求項3】データの転送速度に応じて当該データを返信する際の遅延時間が異なる機器を複数有するデータ転送システムのデータ転送を管理するデータ転送管理装置において、

上記各機器における転送速度をそれぞれ調べ、当該各転送速度のうち最も低い転送速度を最低転送速度として決定する転送速度決定手段と、

上記各機器のうち端に位置する機器に対して上記最低転送速度で所定のデータをそれぞれ送信し、上記データ転送管理装置と上記端に位置する機器間の伝搬時間をそれぞれ測定する伝搬時間測定手段と、

上記測定した上記各伝搬時間を基に上記各機器のうち最も離れた機器間で上記データが往復する時間を示す最大往復時間を算出する往復時間算出手段と、

上記最大往復時間を基に上記各機器がデータを転送する際に必要となる待ち時間を算出するための基準値を算出する基準値算出手段とを具えることを特徴とするデータ転送管理装置。

【請求項4】上記各機器はIEEE1394ハイパフォーマンスシリアルバスによって接続されたことを特徴とする請求項3に記載のデータ転送管理装置。

【請求項5】データの転送速度に応じて当該データを返信する際の遅延時間が異なる機器を複数有すると共に当該各機器間のデータ転送を管理する管理装置を有するデータ転送システムのデータ転送方法において、

定し

上記各機器のうち端に位置する機器に対して上記最低転送速度で所定のデータをそれぞれ送信し、上記管理装置と上記端に位置する機器間の伝搬時間をそれぞれ測定し、

上記測定した上記各伝搬時間を基に上記各機器のうち最も離れた機器間で上記データが往復する時間を示す最大往復時間を算出し、

上記最大往復時間を基に上記各機器がデータを転送する際に必要となる待ち時間を算出するための基準値を算出することを特徴とするデータ転送方法。

【請求項6】上記各機器はIEEE1394ハイパフォーマンスシリアルバスによって接続されたことを特徴とする請求項5に記載のデータ転送方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデータ転送システム及びデータ転送管理装置並びにデータ転送方法に関し、データの転送帯域を一段と有効に利用し得るデータ転送システムに適用して好適なものである。

【0002】

【従来の技術】近年、マルチメディアデータを高速かつリアルタイムに転送するためのバス規格としてIEEE1394ハイパフォーマンスシリアルバス規格（以下、これをIEEE1394規格と呼ぶ）が有る。

【0003】このIEEE1394規格では、S100（98.304Mbps）、S200（196.608Mbps）、S400（393.216Mbps）と呼ばれる3つのデータ転送モードが定義されており、上位転送速度を持つ1394ポートは、その下位転送速度との互換性を保持するように規定されている。これにより、S100、S200、S400のデータ転送速度が同一ネットワーク上で混在可能となっている。また、IEEE1394規格では、転送フォーマットとしていわゆるDS-Link（Data/Strobe Link）符号化方式が採用されている。

【0004】DS-Link符号化方式では、図13に示すように、転送データがデータ信号と当該データ信号を補うストロブ信号の2信号に変換されており、この2信号の排他的論理和をとることによりクロックを生成することができる。

【0005】さらに、図14に示すように、ケーブル1の構造としては、その断面が第1のシールド層2によりシールドされた2組のツイストペア線（信号線）3と電源線4とを束ねたケーブル全体を、さらに第2のシールド層5によりシールドした構造のケーブル1が規定されている。

【0006】また、IEEE1394規格における接続

【0014】ノードCからの転送要求を受け取った親ノードBは、リクエストを受けたポート以外のポートにバスの制御権を拒否するデータブリフィクスを送信するとともに、自分の親ノードAに対してリクエストをリピートする。ルートノードAは最初に受け取ったリクエストに対してバスの制御権を許可するグラントを送信し、他のポートに対してデータブリフィクスを送信する。

【0015】データブリフィクスを受け取った全てのノードはリクエストを取り下げ、データ待ち受け状態に入る。この手順に従ってバスの制御権を決定することで常に1つのノードがバスの制御権を獲得することができ、データの衝突を防ぐことができる。

【0016】このアービトレーションでバスの制御権を得たノードはデータブリフィクスに続いてデータの転送すなわちパケットトランスミッションを実行する。転送されたデータを受信したターゲットノードはこれに対して、その受信結果に応じたアック（受信確認用返送コード）を返送することにより応答するアクノリッシュメントを実行する。

【0017】このアクノリッジメントの実行により送信及び受信ノードともにデータ転送が正常に行われたか否かを確認することができ、場合によってはデータの再転送などの処理を行う。この後、再びサブアクションギャップすなわちバスのアイドル状態に戻り、上述の転送動作が繰り返される。

【0018】アイソクロナスサブアクションでは、基本的にアシンクロナスサブアクションと同様の手順で転送を行うが、アシンクロナスサブアクションによる非同期転送よりも優先的に実行される。アイソクロナス転送のパケットを図18に示す。このアイソクロナスサブアクションにおけるアイソクロナス転送は、約8[kHz]ごとにルートノードから発行されるサイクルスタートパケットに続いて行われる。これにより転送帯域を保証した転送モードとなり、リアルタイムのデータの転送を実現する。

【0019】また、同時に複数のノードでリアルタイムデータのアイソクロナス転送を行う場合には、その転送データにはデータを区別するためのチャンネルIDを設定して、必要なリアルタイムデータだけを受け取るようにする。

【００２０】上述のIEEE 1394規格におけるフィジカルレイヤは、図１９に示すように、物理層論理ブロック(PHY Logic) １１と、セレクトアブロック(RXCLOCK/DATASELECTOR) １２と、ポート論理ブロック(PORT LOGIC1、PORT LOGIC2、PORT LOGIC3) １３、１４、１５と、各ケーブルポート(CABLE PORT1、CABLE PORT2、CABLE PORT3) １６、１７、１８と、クロック発生ブロック(PLL) １９とを有している。なお、この例で述べたように、

<http://www4.ipdl.inpit.go.jp/tjcontenttrns.ipdl?N0000=21&N0400=image/gif&N0401=/NSAPIT...> 6/19/2007

(4)

特開2002-9796

5

5

いるが、これらの機能はポート数に依存したものではない。

【0021】物理層論理ブロック11は、IEEE1394規格におけるリンクレイヤとのI/O制御及びアービトレーション制御を行うもので、リンクレイヤコントローラ(LINK CONTROLLER)10に接続されているとともに、セクタブロック12及び各ポート論理ブロック13、14、15に接続されている。

【0022】セクタブロック12は、各ケーブルポート16、17、18に接続された各ポート論理ブロック13、14、15を介して受信するデータDATA1、DATA2、DATA3及びその受信クロックRXCLK1、RXCLK2、RXCLK3の選択を行うもので、物理層論理ブロック11及び各ポート論理ブロック13、14、15に接続されている。

【0023】このセクタブロック12はデータ転送の場合、物理層論理ブロック11から送られてきたパケットデータを全てのポート論理ブロック13、14、15に送る。また、受信の場合には各ポート論理ブロック13、14、15を介して受信するパケットデータDATA1、DATA2、DATA3及びその受信クロックRXCLK1、RXCLK2、RXCLK3の1組を選択して、例えばケーブルポート16を介してポート論理ブロック13が受信したパケットデータDATA1とその受信クロックRXCLK1とを物理層論理ブロック11に送る。

【0024】そして、セクタブロック12により選択されたパケットデータ、例えばポート論理ブロック13で受信されたパケットデータDATA1は、その受信クロックRXCLK1により物理層論理ブロック11内のFIFOメモリに書き込まれる。このFIFOメモリに書き込まれたパケットデータは、クロック発生ブロック19により与えられるシステムクロックSYCLKにより読み出される。

【0025】ポート論理ブロック13は、ケーブルポート16を介してアービトレーション信号ARB1とデータDATA1との送受信を行うもので、ケーブルポート16を介して送られてくるデータとそのストローブ信号とから受信クロックRXCLK1を生成する機能を有している。また、このポート論理ブロック13には、アービトレーション時にアービトレーション信号ARB1が物理層論理ブロック11から送られてくる。そしてデータの受信時には、このケーブルポート16を介して受信したパケットデータDATA1をその受信クロックRXCLK1とともに、セクタブロック12を介して物理層論理ブロック11に送る。

【0026】そして、このポート論理ブロック13がセクタブロック12により選択されている場合に、パ

き込まれる。

【0027】ポート論理ブロック14は、ケーブルポート17を介してアービトレーション信号ARB2とデータDATA2との送受信を行うもので、ケーブルポート17を送られてくるデータとそのストローブ信号とから受信クロックRXCLK2を生成する機能を有している。また、このポート論理ブロック14には、アービトレーション時にアービトレーション信号ARB2が物理層論理ブロック11から送られてくる。

【0028】そしてデータの受信時には、ケーブルポート17を介して受信したパケットデータDATA2をその受信クロックRXCLK2とともに、セクタブロック12を介して物理層論理ブロック11に送る。そして、このポート論理ブロック14がセクタブロック12により選択されている場合に、パケットデータDATA2はその受信クロックRXCLK2により物理層論理ブロック11内のFIFOメモリに書き込まれる。

【0029】ポート論理ブロック15は、ケーブルポート18を介してアービトレーション信号ARB3とデータDATA3との送受信を行うもので、ケーブルポート18を介して送られてくるデータとそのストローブ信号とから受信クロックRXCLK3を生成する機能を有している。また、このポート論理ブロック15には、アービトレーション時にアービトレーション信号ARB3が物理層論理ブロック11から送られてくる。そしてデータの受信時には、ケーブルポート18を介して受信したパケットデータDATA3をその受信クロックRXCLK3とともに、セクタブロック12を介して物理層論理ブロック11に送る。

【0030】そして、このポート論理ブロック15がセクタブロック12により選択されている場合に、パケットデータDATA3はその受信クロックRXCLK3により物理層論理ブロック11内のFIFOメモリに書き込まれる。

【0031】ケーブルポート16は、ポート論理ブロック13から送られてきた信号でツイストペアケーブルを駆動し、また、ツイストペアケーブルを介して送られてきた信号をレベル変換してポート論理ブロック13に送る。ケーブルポート17は、ポート論理ブロック14から送られてきた信号でツイストペアケーブルを駆動し、また、ツイストペアケーブルを介して送られてきた信号をレベル変換してポート論理ブロック14に送る。ケーブルポート18は、ポート論理ブロック15から送られてきた信号でツイストペアケーブルを駆動し、また、ツイストペアケーブルを介して送られてきた信号をレベル変換してポート論理ブロック15に送る。

【0032】クロック発生ブロック19は、水晶共振器(XTAL)20により与えられる24.576〔MHz〕の

7

(S100の場合) TXCLKとを生成する。

【0033】フィジカルレイヤにおけるアービトレーション信号の論理値は、“0”、“1”、“2”の3値であって、図20及び図21に示す規則に従って生成され、図22に示す規則に従ってデコードされる。なお、値“2”はドライバの不働状態を表す。

【0034】ここで、2組のツイストペア線のうち、1組のツイストペア線TPA/TPA\*はストローブ信号(Strb\_Tx)を送信するとともに、データ信号(Data\_Rx)を受信する。一方、もう1組のツイストペア線TPB/TPB\*は、データ信号(Data\_Tx)を送信するとともに、ストローブ信号(Strb\_Rx)を受信する。Strb\_Tx信号、Data\_Tx信号、Strb\_Enable信号及びData\_Enable信号は、アービトレーション信号(Arb\_A\_Rx、Arb\_B\_Rx)を生成するために用いられる。

【0035】また、フィジカルレイヤでは、図23に示す規則を用いて、2つの送信アービトレーション信号Arb\_A\_Tx、Arb\_B\_Txをライン状態にエンコードする。これらの状態は、図23に示したように、親ノードに送るか又は子ノードに送るかによって異なる意味を持っている。

【0036】ここで、IEEE1394規格における親子関係について説明する。IEEE1394規格によって接続された複数のノードの内、リーフ（端）に位置するノードがいくつか存在する。バスリセット直後、各ノードは自分がリーフであるか否かを判断する。各ノードがリーフであるか否かの判定は、自分自身に何本のケーブルが接続されているかを認識することによって行われる。

【0037】すなわち、1つしかポートを持たない、又は複数のポートを持っていても1本しかケーブルが接続されていないノードはリーフとなる。各リーフは、その接続先の親ノードに対して問合せを行う。問合せを受けたノードは、問合せのあったポートに接続されているノードを子ノードとし、さらに親子関係が決まっていないうポートから接続先に対して問合せを行う。このようにして、バス内の親子関係が決定される。最後に自分の持つ全てのポートが親となったノードがルートになる。また、フィジカルレイヤでは図24に示す規則を用いて、簡易アービトレーション信号Arb\_A\_Tx、Arb\_B\_Txをライン状態にデコードする。

【0038】

【発明が解決しようとする課題】上述のIEEE1394規格では、映像を扱う民生機器をコンピュータにつなぐインターフェースとして必要な条件を備えており、一般家庭においてオーディオ機器、ビジュアル機器やパーソナルコンピュータ等の各種機器を接続することが可能になる。

(5)

特開2002-9796

8

き、これにより各種機器を簡単に操作することが可能になる。

【0039】しかしながらIEEE1394規格では、接続する機器間の距離すなわちノード間ケーブル長は最大で4.5[m]と規定されているために、家庭内であっても例えば複数の部屋に跨がるネットワークを構築しようとする、ケーブルの中継のためにのみ必要な多数のノードを設けなければならない。

【0040】またIEEE1394規格における物理層の方式を変更することなくケーブル長を延長しようとする、ケーブルを太くしなければならず、ネットワークのためのケーブルの引回しなどの作業性が低下するばかりでなく、ケーブル自体が高価になってしまう。

【0041】そこでこのような問題を回避するため、IEEE1394規格のようにデータ転送に先立ってバスの制御権のアービトレーションを行うようにしたデジタルシリアルデータインターフェースにおけるノード間ケーブル延長を行い、長距離化を可能にしたデジタルシリアルインターフェース装置(LD1394: Long Distance IEEE1394)が提案されている。

【0042】ところで一般にLD1394は、IEEE1394規格と比較して長距離化に伴うケーブル遅延の増大などからネゴシエーションにかかる時間が大きい。そのために実際にデータ転送に使用できる帯域が制限されるという問題がある。よってLD1394を含むトポロジにおいてギャップカウンットの最適化を行い帯域を有効活用する試みは重要であると考えられる。

【0043】しかし、IEEE1394規格においては、ファイバケットはS100の速度で送らなければならないという規定があり、IEEE1394規格の拡張仕様であるp1394aにおいてもファイバケットの一つとして定義されているピングケットは常にS100の速度でおくらなければならない。従って、ピングケットを用いて求めるノード間の伝搬時間すなわちプロパゲイションタイム(propagation time)は、S100の転送速度でデータを送った際のノード間プロパゲイションタイムである。

【0044】しかし、IEEE1394規格は機器のトポロジが比較的自由に組めるため、LD1394のフィジカルレイヤに見られるようなデータの転送速度によってデータリピータの際のファイディレイが異なるフィジカルレイヤが経路に含まれるトポロジが組まれることが十分考えられる。

【0045】このようなトポロジにおいて、トポロジ内で流れるデータが常にS100より速い転送速度である場合を考えると、S100の速度で転送されるピングケットを用いてノード間プロパゲイションタイムを計測しても、実際のデータ転送にかかるプロパゲイションタイムは、ピングケットの転送速度よりも速い転送速度でデータを送った際のノード間プロパゲイションタイムである。

9

ウントも大きくなってしまい、適切なギャップカウントの最適化を行うことができないという問題がある。

【0046】本発明は以上の点を考慮してなされたもので、ギャップカウントの最適化を行い得るデータ転送システム及びデータ転送管理装置並びにデータ転送方法を提案しようとするものである。

【0047】

【課題を解決するための手段】かかる課題を解決するため本発明においては、データの転送速度に応じて当該データを返信する際の遅延時間が異なる機器を有するデータ転送システムにおいて、所定のデータを当該データ転送システム内の最も低い転送速度に合わせて転送することにより、転送に用いる帯域を一段と有効に活用することができる。

【0048】

【発明の実施の形態】以下図面について、本発明の一実施の形態を詳述する。

【0049】ここでは、IEEE1394規格のようにデータ転送に先立ってバスの制御権のアービトレーションを行うようにしたデジタルシリアルデータインターフェースにおけるノード間ケーブル延長を行い、長距離化を可能にしたデジタルシリアルインターフェース装置(LD1394: Long Distance IEEE1394)について説明する。

【0050】LD1394のフィジカルレイヤ(インターフェース装置)は、図1に示すように、物理層論理ブロック(PHY LOGIC)101、セクタブロック(RXCLOCK/DATASELECTOR)102、変換処理ブロック(4B/5B CONVERTER & ARB SIGNAL CONVERTER)103、スクランブルブロック(SCRAMBLE1, SCRAMBLE2)104A及び104B、デスクランブルブロック(DE-SCRAMBLE1, DE-SCRAMBLE2)105A及び105B、送信ブロック(P/S1, P/S2)106A及び106B、受信ブロック(RX-PLLS/P1, RX-PLLS/P2)107A及び107B、ポート論理ブロック(PORT LOGIC)108、アナログドライバ(ANALOG DRIVER)109及びクロック発生ブロック(PLL)110を有している。

【0051】物理層論理ブロック101は、IEEE1394規格におけるリンクレイヤとのI/O制御及びアービトレーション制御を行うもので、IEEE1394規格に準拠したリンクレイヤコントローラ120に接続されているとともに、セクタブロック102及び変換処理ブロック103、ポート論理ブロック108に接続されている。

【0052】ここで、この物理層論理ブロック101におけるリンクレイヤとのI/OはIEEE1394規格と同等であり、リンクレイヤとフィジカルレイヤとの通信はデータ信号DATAと制御信号CTRLによって行わ

(5)

特開2002-9796

10

ブロック101に入力される。

【0053】この物理層論理ブロック101は、アービトレーションコントローラを内蔵しており、当該アービトレーションコントローラによりアービトレーションプロセスとバスの送受信を制御する。パケットの送信要求があると適切なギャップ時間後にアービトレーションを開始する。また、この物理層論理ブロック101は、リンクレイヤからのアービトレーション要求を変換処理ブロック103及びポート論理ブロック108に送る。

【0054】セクタブロック102は、変換処理ブロック103を介して受信するデータDATA1、DATA2及びその受信クロックRXCLK1、RXCLK2、ポート論理ブロック108を介して受信するデータDATA3及びその受信クロックRXCLK3の1組を選択するもので、物理層論理ブロック101、変換処理ブロック103、各受信ブロック107A、1077B及びポート論理ブロック108に接続されている。

【0055】このセクタブロック102はデータ送信の場合、物理層論理ブロック101から送られてきたパケットデータDATAを変換処理ブロック103及びポート論理ブロック108に送る。これにより全ての送信ポートに対して送信データが送られる。

【0056】また、受信の場合には変換処理ブロック103又はポート論理ブロック108を介して受信するパケットデータDATA1、DATA2、DATA3及びその受信ブロックRXCLK1、RXCLK2、RXCLK3の1組を選択し、選択したパケットデータ、例えばDATA1とその受信クロックRXCLK1とを物理層論理ブロック101に送る。そして、セクタブロック102により選択されたパケットデータDATA1は、その受信クロックRXCLK1により物理層論理ブロック101内のFIFOメモリに書き込まれ、クロック発生ブロック110により与えられるシステムクロックSYSCLKにより読み出される。

【0057】変換処理ブロック103は、データの4ビット(4B)/5ビット(5B)変換処理手段として機能するとともに、この4B/5B変換処理においてデータに割り当てられた5ビットシンボル以外の5ビットシンボルをアービトレーション信号に割り当てるアービトレーション信号変換処理手段として機能する。

【0058】変換処理ブロック103は、アービトレーション時には物理層論理ブロック101から送られてくるアービトレーション信号ARB1、ARB2を、図2及び図3に示すように割り当てられた1個又は2個の5ビットシンボルに変換し、各スクランブルブロック104A、104Bに送る。同時に各デスクランブルブロック105A、105Bから送られてきた5ビットのアービトレーション信号を4ビットに変換して物理層論理ブ

特開2002-9796

13

りのデータ列を用意し、TX\_DATA\_PREFIXのビットパターン(11000 10001)と比較し、一致したときにTX\_DATA\_PREFIXの受信を確定する。パケットデータは、TX\_DATA\_PREFIXの直後に連続して受信されるため、TX\_DATA\_PREFIXの受信によってパケットデータの同相をとることができる。

【0066】また、TX\_DATA\_END(01101)は、パケットデータの直後に連続して受信されるため、TX\_DATA\_PREFIX及びパケットデータと同じシンボル同期によって検出可能である。なお、TX\_DATA\_PREFIXのビットパターン(11000 10001)は、図4によって変換されるパケットデータのデータ列には現れないパターンであるため、たとえシンボル同期が取れなかったとしても、パケットデータの途中で検出されることはなく、誤ったデータの受信は起こらない。さらに、TX\_DATA\_PREFIXの検出後、TX\_DATA\_END及びBUS\_RESET以外のアービトレーション信号の検出は行われない。

29 【0067】また、各デスクランブルブロック105 A、105 Bは、スクランブルブロック104 A、104 Bによるスクランブル処理に対応するデスクランブル処理を受信ブロック107 A、107 Bからおくられてくる5ビット受信信号に施すことにより、5ビット受信信号が送られる。ここで、スクランブルブロック104 A、104 B及びデスクランブルブロック105 A、105 Bは各動作のON/OFFが切り換え設定できるようになっている。

【0068】各送信ブロック106A、106Bは、各スクランブルブロック104A、104Bによりスクランブル処理の施された5ビット送信信号をパラレルデータからシリアルデータに変換し、さらにNRZ (Non Return to Zero) データからNRZI (Non Return to Zero and Invert on ones) データに変換して送信する。

【0069】また、各受信ブロック107A、107Bは、受信信号をNRZ1データからNRZデータに変換し、さらにシリアルデータからパラレルデータに変換して5ビットの受信信号を各デスクランブルブロック105A、105Bに送る。また、各受信ブロック107A、107Bは、受信データからクロック発生ブロック110により受信クロックRXCLK1、RXCLK2を生成して、セレクトブロック102に送る。

【0070】ポート論理ブロック108は、IEEE1394規格のフィジカルレイヤに準拠したアービトレーション信号ARB3とDATA3との送受信を行うものであって、アナログドライバ109を介して送られてくるデータとそのストロブ信号とから受信クロックRXCLK3を生成する。また、このポート論理ブロック108は、データバス105に接続されたデータバスドライバ110を介してデータバス105にデータを送信する。

TABLE 1. *Summary of the 1996-1997 season*



てくる。

【0072】また、データの受信時にはこのポート論理ブロック108は、アナログドライバ109を介して受信したバケットデータDATA3をその受信クロックRXCLK3とともにセレクトブロック102を介して物理層論理ブロック101に送る。そして、ポート論理ブロック108がセレクトブロック102により選択されている場合に、バケットデータDATA3はその受信クロックRXCLK3より物理層論理ブロック101内のFIFOメモリに書き込まれる。

【0073】クロック発生ブロック110は、水晶発振器(X'TAL)111により与えられる24.576〔MHz〕のクロックから、49.152〔MHz〕のシステムクロックSYCLKと98.304〔Mbps〕(S100時)、196.608〔Mbps〕(S200時)、393.216〔Mbps〕(S400時)の送信クロックTXCLKとを生成するようになっている。

【0074】このような構成のインターフェース装置では、アービトレーション信号ARB1、ARB2及びパケットデータDATA1、DATA2に対して4B/5B変換処理を行う変換処理ブロック103を備えることにより、5ビットコードデータとしてアービトレーション信号ARB1、ARB2及びパケットデータDATA1、DATA2を各送信ブロック106A、106B及び各受信ブロック107A、107Bを介して送受信することができ、光ファイバケーブルや安価に入手可能なUTP(Unshielded Twisted Pair)ケーブルを伝送ケーブルに用いて長距離伝送を行うことができる。

【0075】また、このインターフェース装置ではさらに、IEEE1394規格のフィジカルレイヤに準拠したポート論理ブロック008及びアナログドライバ109を備えることにより、IEEE1394規格に準拠したケーブルによる伝送路と光ファイバケーブルやUTPケーブルによる伝送路との乗換えが可能である。

【００７６】すなわち、例えば図５に示すインターフェース装置のように、上述した図１に示したインターフェース装置における送信ブロック１０６Ａと受信ブロック１０７Ａとからなる送受信ブロック１２０Ａに光接続モジュール(OFF MODULE、OFF:Optical Fiber)１３０Ａを接続することによって、この光接続モジュール１３０Ａを介して光ファイバケーブルを接続することもできる。

【0077】光接続モジュール130A、130Bは、

ケーブルに送る。また、データ受信時には光ファイバケーブルを介して送られてくる光信号をNRZ-Iの電気信号に変換して送受信ブロック120A、120Bに送る。

【００７８】なお、図５に示したインターフェース装置は、図１に示したインターフェース装置におけるポート論理ブロック１０８及びアナログドライバ１０９を省略して光ファイバケーブルによる接続専用の構成となっている。また、図１に示したインターフェース装置におけるセレクトブロック１０２及び変換処理ブロック１０３が１つの信号処理ブロック１３１となっている。

【0079】さらに、光ファイバケーブルを伝送路とする場合には不要輻射は発生しないので、スクランブルブロック104A、104B及びデスクランブルブロック105A、105Bは削除されている。なお、光接続モジュール130A、130Bは長距離伝送のために設けられたものであり、PDM(Physical Media Dependent)と呼ばれる。すなわち、このPDMは外部機器との入出力インターフェースモジュールとして機能するものである。

【００８０】また、例えば図６に示すインターフェース装置のように、上述した図５に示すインターフェース装置におけるＰＤＭである光接続モジュール１３０Ａ、１３０ＢをＵＴＰ接続モジュール１４０Ａ、１４０Ｂに交換することによりＵＴＰケーブルを接続することができ、

【0081】すなわち、送受信ブロック120Aにケーブルトランシーバ(CABLE TRANSCEIVER)141Aを接続して、このケーブルトランシーバ141Aにパルストランス(PULSE TRANS)142Aを介してRJ45コネクタ(RJ45 CONNECTOR)143Aを接続することによってRJ45コネクタ143Aを介してUTPケーブルを接続することができる。

【0082】同様に、送受信ブロック120Bにケーブルトランシーバ(CABLE TRANSCEIVER2)141Bを接続して、このケーブルトランシーバ141Bにパルストランス(PULSE TRANS2)142Bを介してUTPケーブル接続用のRJ45コネクタ(RJ45 CONNECTOR2)143Bを接続することによって、RJ45コネクタ143Bを介してUTPケーブルを接続することができる。

【0083】そして、ケーブルトランシーバ141A、141Bは、データ送信時には、送受信ブロック120A、120BからのNRZ i 信号をMLT-3(Multilevel Transmission)信号に変換してパルスストロンス142A、142Bに送る。また、データ送信時には、パルスストロンス142A、142Bを介して送られてきたMLT-3信号をNRZ i 信号に変換して送受信ブロック120A、120Bに送る。なお、パルスストロンス142A、142Bは、ケーブルトランシーバ141A、141B



15

【0084】なお、図6に示したインターフェース装置は、UTPケーブル接続専用となっている。また、図1に示したインターフェース装置におけるセクタブロック102、変換処理ブロック103、各スクランブルブロック104A、104B、各デスクランブルブロック105A、105Bが1つの信号処理ブロック145となっている。

【0085】上述したように、図1に示したインターフェース装置では、接続モジュールの交換によって光ファイバケーブル又はUTPケーブルを接続して、デジタルシリアルデータの長距離転送を行うことができる。そして、スクランブルブロック104A、104B及びデスクランブルブロック105A、105Bは、各動作のON/OFFを切り換え設定できるようになっているので、UTPケーブルを接続する場合には、スクランブルブロック104A、104B及びデスクランブルブロック105A、105BをONにしておくことにより不要輻射を防止することができる。

【0086】また、上述の長距離伝送を可能にしたIEEE1394インターフェース装置において、データをリピートする際の遅延時間について図7を用いて説明する。例として、長距離伝送用ポートPORT1において受信されたデータが、長距離伝送用ポートPORT2から送信されると仮定する。なお、図7においては、説明では用いられない長距離伝送用ポートPORT1の送信ブロック(P/S)、スクランブルブロック、PORT2の受信ブロック(RX-PLL、S/P)、デスクランブルブロックは省略してある。

【0087】まず、長距離伝送用ポートPORT1で受信されたデータは受信ブロック151においてシリアル/パラレル変換が施され、5ビット1シンボルを単位としてデスクランブルブロック152に入力される。このシリアル/パラレル変換の際に用いられるクロックは受信データから生成される受信クロックRXCLKであり、データの転送速度によって異なる。つまり、データの転送速度が速ければ、受信データがシリアル/パラレル変換されてデスクランブルブロック152に入力されるのにかかる時間も短くなる。図8に示すように、一般にS400モードにおいては、S100モードと比較してデータの処理速度が約4倍になる。

【0088】次に、デスクランブルブロック152において、データに対して受信クロックRXCLKをもとにデスクランブル処理を施し、デスクランブルされたデータをセクタブロック153に受け渡す。但し、長距離伝送用ポートPORT1が光接続モジュールであった場合、データにはスクランブルがかかっていないため、この処理は省略される。

【0089】セクタブロック153では、受信される

(9)

特開2002-9796

16

ポートPORT1から受信されたデータと受信クロックRXCLKを物理層論理ブロック154に受け渡す。

【0090】物理層論理ブロック154は、送受信データをストレージするためのFIFOを内蔵しており、セクタブロック153から入力されたデータは、受信クロックRXCLKをもとに生成された49.152〔MHz〕のクロックを用いて、8ビット単位でFIFOに書き込まれる。この際、セクタブロックからの受信データが8ビットに満たない場合には、残りのビットにはダミーデータが入力される。その後、システムクロックSYSCLKによって入力時と同様に8ビット単位でデータを取り出しダミーデータがある場合はそのデータを切り捨てた後、システムクロックSYSCLKとともにセクタブロック153に受け渡される。

【0091】セクタブロック153に受け渡された送信データは受信時と逆の手続きを経て長距離伝送用ポートPORT2から送信される。すなわち、セクタブロック153において5B/4B変換を行った後、UTPケーブル接続時のみスクランブルブロック155においてスクランブル処理を施され、送信ブロック156においてパラレル/シリアル変換を経てバス上に送信される。ここでも、受信時と同様、データ転送速度によって送信にかかる時間が異なる。

【0092】つまり、図1に示されるような構成を待つフィジカルレイヤにおいては、データ転送速度が速いほど、データリピートにかかる時間（以下、これをファイディレイ(Fiber delay)と呼ぶ）が短くなる。この特徴はLD1394の4B/5Bコーディング方式やスクランブル方式のみに依存したものではなく、p1394.bにおける8B/10B変換などにも見られるような、データ転送速度に伴い異なる送受信クロックを用いてデータの変換操作を行うフィジカルレイヤ一般に関して当てはまるものである。

【0093】また、IEEE1394規格では、全てのノードは均等にアシンクロナスデータの送信を行うことを保証しており、これをフェアアービトレーションと呼ぶ。例として、図9の構成でノードX、Yがアシンクロナスデータの送信要求を行ったと仮定すると、はじめにルートであるノードXのアシンクロナスデータの転送が行われる。このノードXの送信したデータを受け取ったノードYはノードXから送信されたデータエンド(DATA\_END)を受け取った後にサブアクションギャップ(Subaction gap)だけ待機し、リクエスト(request)を発行する。この時、ノードYのリクエストがノードXに到着する前にノードXにおいてアシンクロナス転送要求が発行されると、再びバスの制御をノードXが獲得することになり、ノードYの転送要求が常に拒否(reject)されるというケースが起こり得る。

【0094】このように、物理層論理ブロック154は、送受信データを

(10)

特開2002-9796

17

は、アービトレーションリセットギャップ (ARB\_RESET\_GAP) というものを定義し、全てのノードは一度アシンクロナス転送を行った場合は、アービトレーションリセットギャップを検出した後でなくては再びアシンクロナス転送要求を出すことができないと規定することにより、フェアアービトレーションを実現している。つまり、図9の例においてノードXがデータエンド\*

$$\left[ \text{Round\_Trip\_Delay}_{\max}^{P_X \rightarrow P_Y} + \text{RESPONSE\_TIME}_{Y, \max}^{P_Y} + \text{subaction\_gap}_{\max}^{P_Y} + \text{arb\_delay}_{\max}^{P_Y} - \text{MIN\_IDLE\_TIME}_Y \right] < \text{arb\_reset\_gap}_{\min}^{P_X}$$

..... (1)

【0096】によって表される。

【0097】アシンクロナス転送に係わるアイドル時間として、ギャップカウントによって決定されるものとしては、サブアクションギャップとアービトレーションリセットギャップが定義されている。ギャップカウントは最大値が63であり、この値が小さいほどサブアクション

※ンギャップやアービトレーションリセットギャップが小さくなり、転送帯域に対するアイドル時間が短くなるというメリットがある。(1)式をギャップカウントに關して解くと、次式

【0098】

【数2】

$$\text{gap\_count} > \left[ \frac{\text{BASERATE}_{X, \max} \cdot \left( \text{Round\_Trip\_Delay}_{\max}^{P_X \rightarrow P_Y} + \text{RESPONSE\_TIME}_{Y, \max}^{P_Y} - \text{MIN\_IDLE\_TIME}_Y + \text{PHY\_DELAY}_{X, \max}^{P_X} \right) + 29 \cdot \frac{\text{BASERATE}_{X, \max} - \text{BASERATE}_{Y, \min}}{\text{BASERATE}_{Y, \min}} - 51}{32 - 20 \cdot \frac{\text{BASERATE}_{X, \max}}{\text{BASERATE}_{Y, \min}}} \right]$$

..... (2)

【0099】となり、この式を満たす最小のギャップカウントを設定することによって、データ転送の間のアイドル時間を短く抑えることができる。

【0100】また、IEEE1394規格の拡張使用として、p1394aがある。p1394aでは、4ピンコネクタや拡張ファイバケット (extended PHY packet) が新しく規定された他、より効率のよいアービトレーションや省電力化などの機能が盛り込まれている。このp1394aで規定された拡張ファイバケットの一つにピン

グパケット (Ping packet) がある。【0101】ピングパケットの構成を図10に示す。ピングパケットは、ケーブルファイバケットの一つで、フィールド (PHY ID) フィールドに記述されるフィールド (PHY ID) を持つノードに対して送られる。これを受信したp1394a対応ノードのフィジカルレイヤは送信元のノードに対して自分のセルフIDパケット (Self-ID packet) を返送する。

【0102】送信側は自分のフィールドIDを、受信側は

の時間を計測することによって任意のp1394a対応ノードとの間の伝搬時間すなわちプロパゲイションタイム (propagation time) を求めることができる。バスマネージャは、トポロジ内の全てのリーフノードにピングパケットを送信し、求められた各ノードとのプロパゲイションタイムを用いて最も離れたノード同士のラウンドトリップディレイマックス (round trip delay max) を求め、上述の(2)式を用いてギャップカウント (gap count) 計算を行うことによりトポロジにおけるギャップカウントの最適化を行うことができる。

【0103】これにより、当然LD1394などにおいてもピングパケットを用いてギャップカウントの最適化を行うことが十分に考えられる。一般にLD1394はIEEE1394規格と比較して長距離化に伴うケーブル遅延の増大や、4B/5B変換に伴うファイディレイの増大などからネゴシエーションにかかる時間が大きい。そのために実際にデータ転送に使用できる帯域が制

19

を有効活用する試みは重要であると考えられる。

【0104】しかし、IEEE1394規格においては、ファイバケットはS100の速度で送らなければならないという規定があり、p1394aにおいてもファイバケットの一つとして定義されているピングバケットは常にS100の速度で送らなければならない。従って、ピングバケットを用いて求めるノード間プロバゲイションタイムは、S100の転送速度でデータを送った際のノード間プロバゲイションタイムである。

【0105】しかし、IEEE1394規格は機器のトポロジが比較的自由に組めるため、LD1394のフィジカルレイヤに見られるようなデータの転送速度によってデータリビートの際のファイディレイが異なるフィジカルレイヤが経路に含まれるトポロジが組まれることが十分考えられる。

【0106】このようなトポロジにおいて、トポロジ内で流れるデータが常にS100より速い転送速度である場合を考えると、S100の速度で転送されるピングバケットを用いてノード間プロバゲイションタイムを計測しても、実際のデータ転送にかかるプロバゲイションタイムよりも大きなプロバゲイションタイムが求められてしまう。そのため、それをもとに計算されたギャップカウントも大きくなってしまい、適切なギャップカウントの最適化を行うことができないという問題がある。

【0107】ここで上述のLD1394のフィジカルレイヤに代表されるような、データの転送速度によってデータをリビートする際のファイディレイが異なるようなノードを含むトポロジについて考える。

【0108】IEEE1394規格におけるセルフアイデンティファイ(Self-identify)フェーズにおいてバスマネージャ(管理装置)は、転送速度決定手段として動作し、図11に示されるように接続されている全ての機器のセルフID(Self-ID)を受け取る。その際、セルフIDバケット内で各ノードの転送速度を表しているspフィールドの値をチェックし、全ての接続機器における最も低い転送速度を求め、これをミニマムスピード(min Speed)として記憶しておく。

【0109】ここで、ミニマムスピードがS200であった場合、バスマネージャは、伝搬時間測定手段及び往復時間算出手段として動作し、トポロジ内の全てのリーフノードに対してS200の速度でピングバケットを送信し、バスマネージャと各リーフノード間のプロバゲイションタイムを求める。それらの値をもとに、全てのリーフノード間のラウンドトリップディレイ(round trip delay)を計算し、その最大値ラウンドトリップディレイマックス(round trip delay max)すなわち最大往復時間を求める。

【0110】バスマネージャは、基準値算出手段として動作し、上述の最大往復時間と、自己のノード間の

(11)

特開2002-9796

20

の計算を行い、ファイコンフィグレーションバケット(PHY configuration packet)のgap\_cntフィールドにこの値を設定し、ファイコンフィグレーションバケットを送信することによってギャップカウントの最適化を行う。

【0111】また、アイソクロナス転送を行うノードがアイソクロナスリソースマネージャに対して使用する帯域の予約を行う際にも、ここで求められたラウンドトリップディレイマックスをもとに帯域の予約を行う。

【0112】また、ミニマムスピードがS400であった場合、バスマネージャは、トポロジ内の全てのリーフノードに対してS400の速度でピングバケットを送信し、バスマネージャと各リーフノードまでのプロバゲイションタイムを求める。それらの値をもとに、全てのリーフノード間のラウンドトリップディレイを計算しその最大値ラウンドトリップディレイマックスを求める。

【0113】バスマネージャは、求められたラウンドトリップディレイマックスをもとに(2)式を用いてギャップカウントの計算を行い、ファイコンフィグレーションバケットのgap\_cntフィールドにこの値を設定し、ファイコンフィグレーションバケットを送信することによってギャップカウントの最適化を行う。

【0114】また、アイソクロナス転送を行うノードがアイソクロナスリソースマネージャに対して使用する帯域の予約を行う際にも、ここで求められたラウンドトリップディレイマックスをもとに帯域の予約を行う。

【0115】以上の構成において、上述の手順により求められたミニマムスピードはトポロジ内におけるデータの最低転送速度であり、トポロジにおいてミニマムスピードよりも低い転送速度でデータ転送が行われることがないことを保証している。つまり、ミニマムスピードがS200又はS400であり、かつ、データ転送速度によってファイディレイが異なるフィジカルレイヤを持つノードがトポロジ内に含まれていた場合、p1394aで定義されているS100の速度のピングバケットでは実際にデータを転送した際にかかるラウンドトリップディレイを正確に求めることができない。しかし、上述の手法を用いてミニマムスピードでピングバケットを転送してラウンドトリップディレイを求めることによって正確なラウンドトリップディレイを求めることができる。

【0116】このラウンドトリップディレイを用いてギャップカウントを最適化することによって、ギャップカウントをもとに定義されるサブアクションギャップ、アービトラージリセットギャップなどを低く抑えることができ、非同期通信に用いられる帯域におけるバスのアイドル時間を最小に抑えることができる。その結果、より多くの帯域をデータ転送に使用できるようになるため、実際の転送速度の増加に繋がる。

【0117】また、本発明は、アイソクロナス転送を行うノードがアイソクロナスリソースマネージャに対して使用する帯域の予約を行う際にも、ここで求められたラウンドトリップディレイマックスをもとに帯域の予約を行う。

(12)

特開2002-9796

21

て自分の使用する帯域を申請するが、その際にデータ伝搬やネゴシエーションにかかる時間も考慮に入れて帯域の申請をする必要がある。しかし、S100のピングパケットを用いて測定したラウンドトリップディレイをもとに帯域をもとに帯域の申請をした場合、実際にデータがS200やS400でのみ送信されるトポロジにおいては、転送に必要な帯域以上の帯域を予約してしまうことが考えられる。

【0118】ここで、上述の手法を用いてラウンドトリップディレイを求めることによって、データ伝搬にかかる時間をより正確に申請することができ、結果として同じデータを流す場合でも必要とする帯域を少なくすることができる。よって同期通信においてもより多くの帯域をデータ転送に使用できるようになるため、実際の転送速度の増加が望める。

【0119】以上の構成によれば、動作スピードによってファイディレイが異なるIEEE1394フィジカルレイヤをもつノードを含むトポロジにおいて、トポロジ内における最も低い転送速度でピングパケットを送信してラウンドトリップディレイを求めることにより、全てのノードがS100よりも速い転送速度でデータを送受信可能なトポロジにおいて通常のピングパケットを用いて設定されるギャップカウントよりもさらに最適なギャップカウントを設定することができる。

【0120】このようにギャップカウントが最適化されることにより、サブアクションギャップやアービトレーションリセットギャップが短くなるため、非同期通信においてデータ転送の間のアイドル時間を減らすことができる。

【0121】またラウンドトリップディレイを正確に求めることにより、アイソクロサスリソースマネージャに対してより最適なリソースの申請をすることができるため、同期通信においてもバスのアイドル時間を減らすことができる。

【0122】なお上述の実施の形態においては、ピングパケットを用いてラウンドトリップディレイマックスを求める場合について述べたが、本発明はこれに限らず、それぞれの転送速度におけるラウンドトリップディレイマックスを求めることが可能であるならば、用いるパケットは必ずしもピングパケットでなくとも良い。但し、ラウンドトリップディレイには、ファイリンク(FHY-LINK)インターフェースを含まないため、図12の左側に示すように、対応するレスポンスがファイレイヤで処理されるパケットでなければならない。

【0123】また上述の実施の形態においては、ミニマムスピードがIEEE1394規格において定義されているS200、S400のデータ転送速度である場合について述べたが、本発明はこれに限らず、p1394、

22

転送の効率を向上させることができる。

【0124】

【発明の効果】上述のように本発明によれば、データの転送速度に応じて当該データを返信する際の遅延時間が異なる機器を有するデータ転送システムにおいて、所定のデータを当該データ転送システム内の最も低い転送速度に合わせて転送することにより、転送に用いる帯域を一段と有効に活用することができる。

【図面の簡単な説明】

10 【図1】本発明によるフィジカルレイヤの構成を示すブロック図である。

【図2】アービトレーションに割りつける送信シンボルの説明に供する略線図である。

【図3】受信したシンボルに割り当てられたアービトレーションの説明に供する略線図である。

【図4】データに割り当てるシンボルの説明に供する略線図である。

【図5】フィジカルレイヤの構成を示すブロック図である。

20 【図6】フィジカルレイヤの構成を示すブロック図である。

【図7】データリビート実行時の説明に供する略線図である。

【図8】データ転送速度による処理速度の違いの説明に供する略線図である。

【図9】フェアアービトレーションを満たす条件の説明に供する略線図である。

【図10】ピングパケットの説明に供する略線図である。

30 【図11】ミニマムスピードの決定の説明に供する略線図である。

【図12】パケットに対するレスポンスの説明に供する略線図である。

【図13】DS-LINK符号化方式の説明に供する略線図である。

【図14】ケーブル構造の説明に供する略線図である。

【図15】インターフェースの構成要素及びプロトコルアーキテクチャの説明に供する略線図である。

40 【図16】アシンクロナス転送のパケットの説明に供する略線図である。

【図17】アービトレーションの説明に供する略線図である。

【図18】アイソクロナス転送のパケットの説明に供する略線図である。

【図19】フィジカルレイヤの構成を示すブロック図である。

【図20】アービトレーション信号発生規則の説明に供する略線図である。

【図21】アービトレーション信号発生規則の説明に供する略線図である。

(13)

特開2002-9796

23

【図22】アービトレーション信号デコード規則の説明に供する略線図である。

【図23】物理層で送信されたアービトレーションのライン状態の説明に供する略線図である。

【図24】物理層で受信したアービトレーション信号のライン状態の説明に供する略線図である。

【符号の説明】

10、120……リンクレイヤコントローラ、11、101、154……物理層論理ブロック、12、102、153……セクタブロック、13、14、15……ポ

24

\*ポート論理ブロック、16、17、18……ケーブルポート、103……変換処理ブロック、104、155……スクランブルブロック、105、152……デスクランブルブロック、106、156……送信ブロック、107、151……受信ブロック、108……ポート論理ブロック、109……アナログドライバ、110……クロック発生ブロック、111……水晶発振器、120……送受信ブロック、130……光接続モジュール、131、145……信号処理ブロック、140……UTP接続モジュール。

【図1】

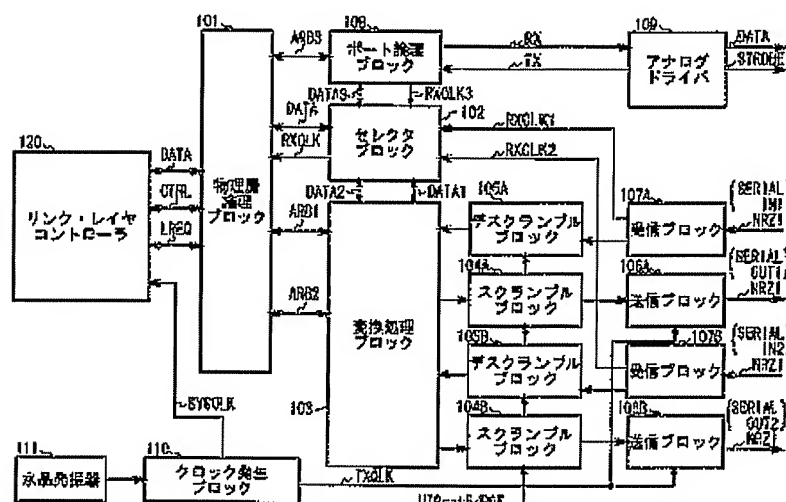


図1 フィジカル・レイヤの構成

【図4】

16進	2進	シンボル
0	0000	11110
1	0001	01001
2	0010	10100
3	0011	10101
4	0100	01010
5	0101	01011
6	0110	01110
7	0111	01111
8	1000	10010
9	1001	10011
A	1010	10110
B	1011	10111
C	1100	11010
D	1101	11011
E	1110	11100
F	1111	11101

図4 データに割り当てるシンボル

【図2】

送信シンボル	アービトレーション状態
11111	IDLE
00100	TX_REQUEST
00101	TX_GRANT
00101	TX_PARENT_NOTIFY
11000 10001	TX_DATA_PREFIX
00111	TX_CHILD_NOTIFY
01101	TX_IDENT_DONE
01101	TX_DATA_END
00000 11111	BUS_RESET

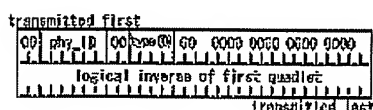
図2 アービトレーションに割り付ける送信シンボル

【図3】

11111	11111	IDLE
00101	11111	RX_PARENT_NOTIFY
11111	00100	RX_REQUEST_CANCEL
00111	11111	RX_IDENT_DONE
00100	11111	RX_SELF_ID_GRANT
00100	11111	RX_REQUEST
00101	00101	RX_PARENT_HANDSHAKE
00100	00100	RX_GRANT
00111	00101	RX_PARENT_HANDSHAKE
01101	11111	RX_DATA_END
11111	00111	RX_CHILD_HANDSHAKE
11000 10001	00100	RX_DATA_PREFIX
11000 10001	00111	RX_DATA_PREFIX
11000 10001	11111	RX_DATA_PREFIX
00000 11111	(do not care)	BUS_RESET

図3 受信したシンボルに割り当てられたアービトレーション

【図10】



(14)

特開2002-9796

【図5】

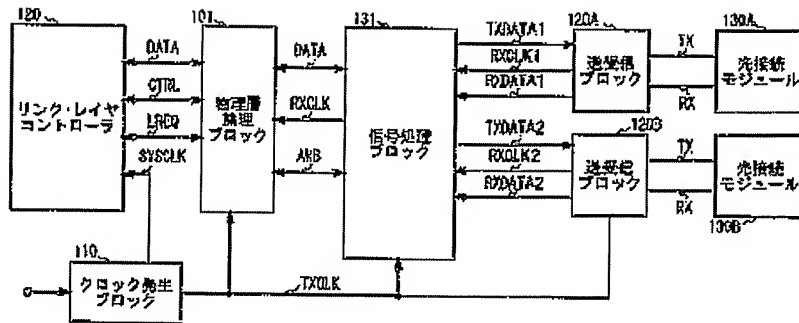


図5 フィジカル・レイヤの構成

【図14】

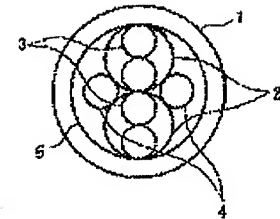


図14 ケーブル構造

【図6】

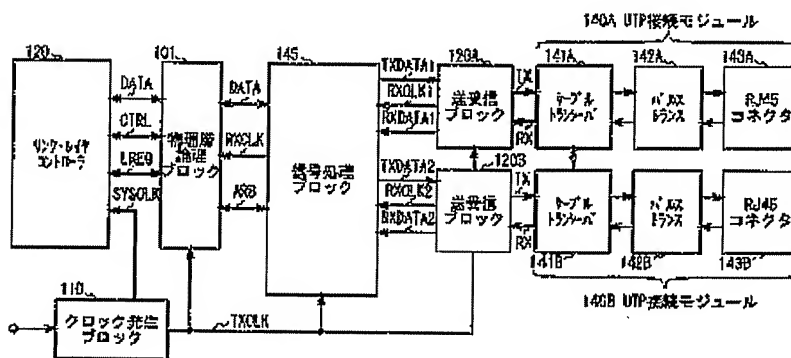


図6 フィジカル・レイヤの構成

【図7】

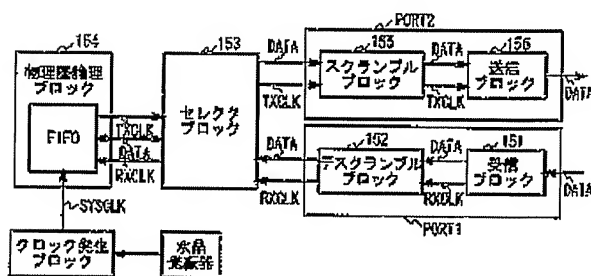


図7 データリピート実行時

【図8】

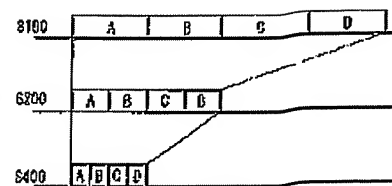
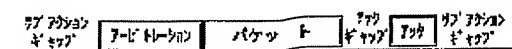


図8 データ転送速度による処理速度の違い

【図16】



(15)

特開2002-9796

【図9】

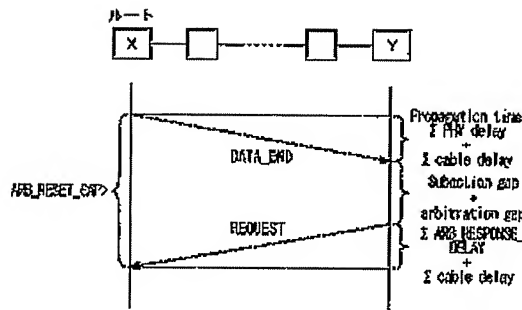


図9 フェア・アービトレーションを満たす条件

【図11】

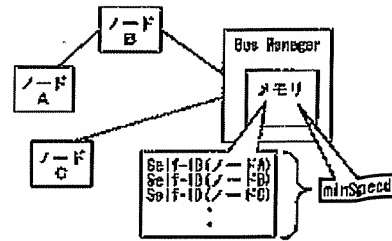


図11 ミニマムスピードの決定

【図12】

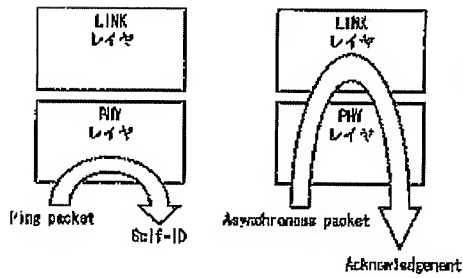


図12 パケットに対するレスポンス

【図13】

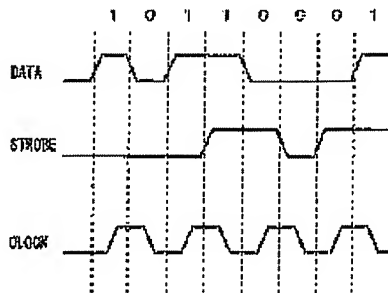


図13 DS-Link符号化方式

【図15】

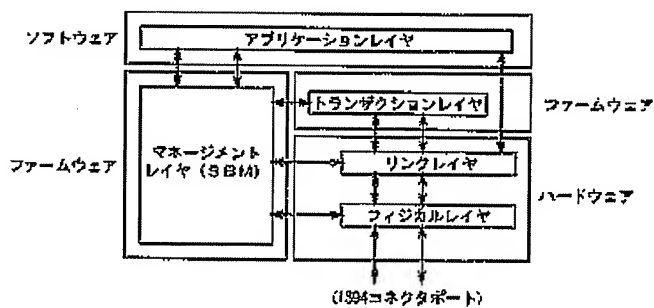


図15 インターフェースの構成要素及びプロトコルアーキテクチャ

【図17】

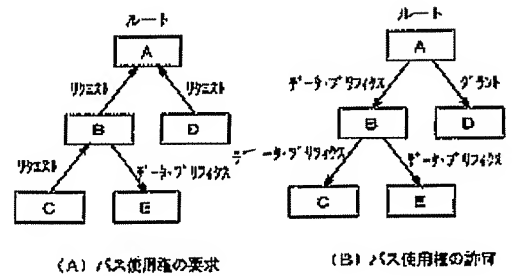


図17 アービトレーション



(15)

特開2002-9796

【図18】

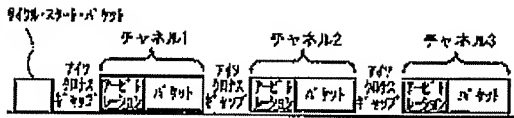


図18 アイソクロナス転送のパケット

【図19】

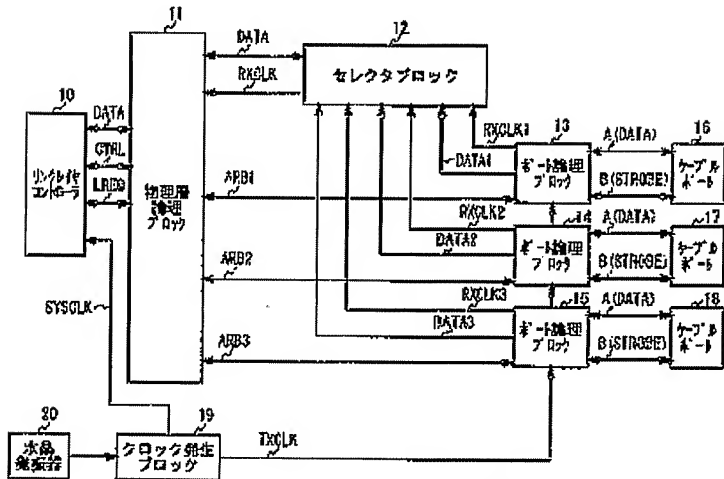


図19 フィジカルレイヤの構成

【図20】

送信 アビトリシヨ ン番号 (Arb_A_Tx)	ドライバ		備考
	Strb_Tx	Strb_Enable	
0	0	0	TPAT'ライン:不動作
0	0	1	TPAT'ライン:動作、スレーブ:低
1	1	1	TPAT'ライン:動作、スレーブ:高

図20 アービトリシヨン信号発生規則

【図21】

送信 アビトリシヨ ン番号 (Arb_B_Tx)	ドライバ		備考
	Data_Tx	Data_Enable	
0	0	0	TPAT'ライン:不動作
0	0	1	TPAT'ライン:動作、スレーブ:低
1	1	1	TPAT'ライン:動作、スレーブ:高

図21 アービトリシヨン信号発生規則

(17)

特開2002-9796

【図22】

受信した アービトレーション 識別符 (Arb_A_Rx)	そのポートから 受信した アービトレーション 識別符 (Arb_B_Tx)	同期した アービトレーション 識別符 (Arb_B_Rx)	備考
2	2	2	1=Activeであって、この表は A,B両方に適用される。
0	2	0	このポートが送信しているならば、 受信信号はそのポートの他のポートに よって送信された番号と同じになる。
1	2	1	
2	0	1	このポートが送信している間に ポートが受信しているならば、 他のポートは1を送っている。
0	0	0	他のポートは0を送っている。
2	1	1	他のポートは0を送っている。
1	1	1	他のポートは0を送っている。

図22 アービトレーション信号デコード規則

【図23】

アービトレーション送信 (Arb_A_Tx)	アービトレーション受信 (Arb_B_Rx)	ライン状態名	備考
2	2	IDLE	リクエストを要求するために送信される。
2	0	TX_REQUEST	バスを解放するために親ノードに送信される。
0	2	TX_GRANT	バスが与えられたときに子ノードに送信される。
0	2	TX_PARENT_NOTIFY	Free IDマースにおいて親候補のノードへ送信される。
0	1	TX_DATA_PREFIX	パケットデータの直前又は連続されたパケットの パケットデータ間において送信される。
1	2	TX_CHILD_NOTIFY	PARENT_NOTIFYを了解するために子ノードへ送信される。
1	2	TX_IDENT_DONE	self_IDマースが完了したことを示すために 親ノードへ送信される。
1	0	TX_DATA_END	パケット転送終了時に送信される。
1	1	BUS_RESET	バスを再構築するために送信される。

図23 物理層で送信されたアービトレーションのライン状態

【図24】

送信アービトレーション信号 (Arb_A_Rx)	受信アービトレーション信号 (Arb_B_Tx)	ライン状態名	備考
2	2	IDLE	接続されている隣接ノードのPHYは動作していない。
2	0	RX_PARENT_NOTIFY	接続されている隣接ノードのPHYは子ノードになろうとしている。
2	0	RX_REQUEST_CANCEL	接続されている隣接ノードのPHYは要求を放棄した。
2	1	RX_IDENT_DONE	子のノードのPHYはself_IDマースを完了した。
0	2	RX_SELF_ID_GRANT	親のノードのPHYはself_IDのためにバスを与えている。
0	2	RX_REQUEST	子のノードのPHYはバスを要求している。
0	0	RX_ROOT_CONTENTION	このノード及び接続されている隣接ノードのPHYは、両方とも 子のノードになろうとしている。
0	0	RX_GRANT	親のノードのPHYはバスを解放している。
0	1	RX_PARENT_HANDSHAKE	接続されている隣接ノードのPHYはPARENT_NOTIFYを了解している。
0	1	RX_DATA_END	接続されている隣接ノードのPHYはデータパケットの送信を 終了してバスを解放している。
1	2	RX_CHILD_HANDSHAKE	接続されている隣接ノードのPHYはTX_CHILD_NOTIFYを了解している。
1	0	RX_DATA_PREFIX	接続されている隣接ノードのPHYは、パケットを送信しようとして いるか、又はデータパケットの送信を終了した後 さらにデータを送信しようとしている。
1	1	BUS_RESET	バスを再構築するために送信される。

図24 物理層で受信したアービトレーション信号のライン状態

(18)

特開2002-9796

フロントページの続き

(72)発明者 大川 純弘  
 東京都品川区北品川6丁目7番35号ソニー  
 株式会社内

F ターム(参考) 5B077 GG05 NN02  
 5K030 GA03 HA08 HB11 JL03 KA17  
 KA21 LA15 MB06  
 5K033 AA01 BA01 CA06 CA19 CB14  
 CC02 DA01 DA13 EA06  
 5K034 AA01 BB06 EE02 FF12 MH08